

PAT-NO: JP407030121A
DOCUMENT-IDENTIFIER: JP 07030121 A
TITLE: MANUFACTURE OF THIN FILM TRANSISTOR
PUBN-DATE: January 31, 1995

INVENTOR-INFORMATION:

NAME

HARADA, YASUKI

TERADA, NORIHIRO

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP05173086

APPL-DATE: July 13, 1993

INT-CL (IPC): H01L029/786, H01L021/20, H01L021/336

ABSTRACT:

PURPOSE: To perform the entire process at a low temperature by selectively introducing, at least, either of ions or molecules, forming an insulating substance through reaction with a semiconductor, into the area where the insulation area in a semiconductor film is formed, for annealing of the semiconductor film by laser irradiation or specific low-temperature heating.

CONSTITUTION: An amorphous silicon a-Si is deposited on an insulating substance 31 for patterning, so that an a-Si layer 32 is formed. A resist 33 is coated for opening a window 34. With the resist 33 as a mask, oxygen which is to react with the a-Si for forming an insulator is implanted. The insulation area is an area 35, and oxygen implantation is selectively performed on the area 35. Then after removing the resist 33, with laser light irradiation or annealing at such a low temperature as 600°C or below, the amorphous semiconductor layer 32 is polycrystallized, for a polycrystalline semiconductor 32A to be formed. The area 35, through reaction between oxygen and a semiconductor becomes of an insulator, and forms an insulation area 35A. Thus, the entire process is performed at such a low temperature as 600°C or below.

COPYRIGHT: (C)1995, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-30121

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/20		8122-4M		
21/336				
		9056-4M	H 0 1 L 29/ 78	3 1 1 G
		9056-4M		3 1 1 Y
審査請求 未請求 請求項の数3 OL (全 7 頁)				

(21) 出願番号 特願平5-173086

(22) 出願日 平成5年(1993)7月13日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 原田 康樹

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72) 発明者 寺田 典裕

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

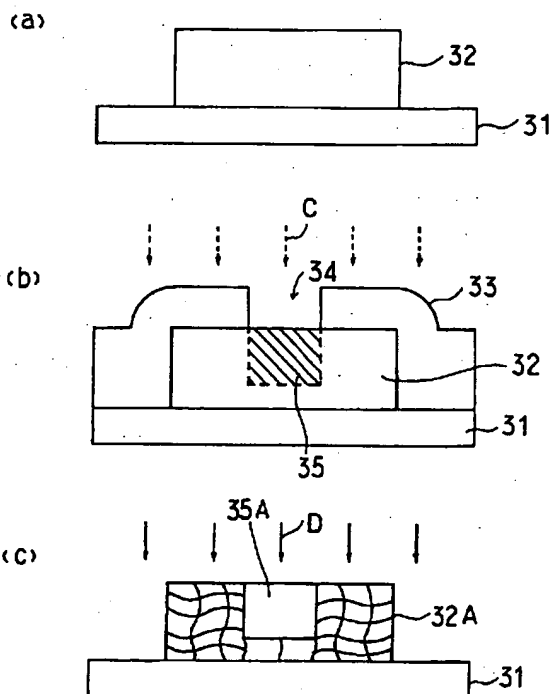
(74) 代理人 弁理士 目次 誠 (外1名)

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 全工程を比較的低温で行うことができ、絶縁膜を半導体膜の形成と共通の工程で形成することができ、かつ半導体膜と絶縁膜との界面及び絶縁膜に起因するリーク電流を低減し得る薄膜トランジスタの製造方法を提供する。

【構成】 絶縁基板31上にa-Si層32を形成し、シリコンと反応して絶縁物を形成する酸素を矢印C方向に領域35に注入し、しかる後、レーザー光Dを照射し、領域35を絶縁領域35Aとし、絶縁領域35A以外の領域を多結晶半導体領域とする各工程を備えた薄膜トランジスタの製造方法。



【特許請求の範囲】

【請求項1】 絶縁基板上に半導体膜を形成する工程と、

前記半導体膜を構成している半導体と反応して絶縁物を形成するイオン及び分子の少なくとも一方を、前記半導体膜中の絶縁領域を形成すべき領域に選択的に導入する工程と、

レーザー照射または600℃以下の低温加熱により前記半導体膜をアニールすると共に、前記半導体膜中に絶縁領域を形成し、かつ絶縁領域以外の部分を半導体領域とする工程とを備えることを特徴とする、薄膜トランジスタの製造方法。

【請求項2】 前記絶縁領域の下方または側方の半導体領域がチャンネル部を構成するように、少なくとも1つの前記絶縁領域を形成する、請求項1に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁基板上に薄膜トランジスタを製造する方法に関し、特に、薄膜トランジスタ内に絶縁領域を形成する工程が改良された薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】高度情報化社会の進展に伴い、コンピュータと人間とのマンマシン・インターフェースとしてディスプレイが重要視されている。ディスプレイ装置としては、従来、陰極線管（CRT）が多用されてきたが、コンピュータのダウンサイジングに伴い、軽量化、薄型化、低消費電力化、表示部の大面積化及びこれらの低コスト化を可能とするフラットパネル型のディスプレイ装置の研究が盛んに行われている。また、例えば液晶ディスプレイ装置のようなフラット型のディスプレイ装置では、スイッチング素子としても薄型のものが求められており、薄膜半導体を用いた薄膜トランジスタが一般的に用いられている。

【0003】薄膜トランジスタ用半導体としては、これまで、非晶質薄膜半導体が主として用いられてきている。しかしながら、例えば非晶質薄膜シリコンは、その移動度が数 cm^2/Vs 以下と低く、応答速度が低いため、画素部にのみ用いられているのが通常であり、駆動部を構成するための薄膜トランジスタ用半導体については、別に作製し、後工程においてワイヤーボンディング

等において接続しなければならない等の種々の問題があった。

【0004】そこで、非晶質薄膜半導体に代わる材料として、多結晶薄膜半導体が精力的に研究されている。多結晶薄膜シリコンを例にとると、その移動度は非晶質薄膜シリコンに比べて2桁以上高く、応答が非常に速いので、画素部及び駆動部を一体化したディスプレイ装置を実現することができる。

【0005】従来の多結晶薄膜トランジスタの製造方法の一例を図1を参照して説明する。絶縁基板1上に多結晶半導体膜を形成し、フォトリソグラフによりアイランド状の多結晶半導体層2を形成する（図1（a））。

【0006】次に、約1000℃の高温で多結晶半導体層2の表面側から酸化し、下方の多結晶半導体半導体層2aを残し、上方に絶縁膜層2bを形成する（図1（b））。

【0007】さらに、レジストよりなるマスク3を上記絶縁膜層2b上に形成し、絶縁膜層2bをエッチングし、ゲート絶縁膜2cを形成する（図1（c））。次に、マスク3を剥離した後、ゲート膜4を成膜し、さらにレジストよりなるマスク5を形成する（図1（d））。次に、ゲート膜4をエッチングした後、マスク5を剥離することにより、図1（e）に示す薄膜トランジスタ6を形成する。

【0008】薄膜トランジスタ6は絶縁基板1上に構成されており、多結晶半導体層2a内に、チャンネル部2a₁及びソース・ドレイン部2a₂、2a₃が構成されており、チャンネル部2a₁の上方に、ゲート絶縁膜2cを介してゲート4Aが構成されている。

【0009】上記のような多結晶薄膜半導体を用いた薄膜トランジスタの製造方法では、ゲート絶縁膜2cを形成するにあたり、半導体を約1000℃程度の高温で酸化させる工程が採用されており、それによって緻密な酸化膜を形成していた。

【0010】

【発明が解決しようとする課題】しかしながら、薄膜トランジスタにおける薄膜化、微細化及び使用する材料の変遷（例えば低融点材料の使用等）に伴って、多結晶薄膜半導体層と絶縁膜とを独立に形成するようになってきている。その結果、半導体層と絶縁膜との接合界面に起因する問題が大きくなってきている。例えば、絶縁膜を成膜するに際し、絶縁膜と半導体層との間の界面に電荷または不純物原子等が蓄積した場合、スイッチング素子としては致命的な横方向のリーク電流を発生させる原因となる。従って、帯電対策及び接合界面を清浄に保つ高真空排気系の使用が必須不可欠となってきている。

【0011】他方、絶縁基板として低融点材料を用いる場合には、化学気相成長反応（CVD）を用いて絶縁膜が形成されているが、この場合には緻密な絶縁膜を形成することが難しく、縦方向に電流がリークするという問

題があった。そのため、絶縁膜を成膜した後に、600℃以下での低温アニールによる絶縁膜の緻密化を行わねばならなかった。

【0012】上記のように、従来の多結晶薄膜半導体を用いた薄膜トランジスタの製造方法では、薄膜化、微細化及び材料の変遷に連れて、半導体層と絶縁膜とをそれぞれ独立に取り扱うようになってきているため、独立した製法・技術及び装置を確立しなければならなかった。加えて、工程も煩雑化し、コストアップの大きな原因となっていた。

【0013】さらに、基板材料の低融点化及び高スループット化を図るために、工程全体をより低温で(600℃以下で)実施し得る方法が強く求められている。本発明の目的は、全工程をより低温で実施することができ、絶縁膜を半導体膜の形成と共通の工程で形成することができ、かつ半導体層と絶縁膜との界面に起因するリーク電流を効果的に低減し得る、薄膜トランジスタの製造方法を提供することにある。

【0014】

【課題を解決するための手段】本発明は、絶縁基板上に半導体膜を形成する工程と、半導体膜を構成している半導体と反応して絶縁物を形成するイオン及び分子の少なくとも一方を、前記半導体膜中の絶縁領域を形成すべき領域に選択的に導入する工程と、レーザー照射または600℃以下の低温加熱により前記半導体膜をアニールすると共に、前記半導体膜中に絶縁領域を形成し、かつ絶縁領域以外の部分を半導体領域とする工程とを備えることを特徴とする、薄膜トランジスタの製造方法である。

【0015】また、本発明の製造方法においては、請求項2に記載のように、絶縁領域の下方または側方の半導体領域がチャンネル部を構成するように、少なくとも1つの前記絶縁領域を形成してもよい。

【0016】さらに、請求項3に記載のように、半導体膜として非晶質半導体膜を用い、レーザー照射または600℃以下の低温加熱により、非晶質半導体を再結晶化させて多結晶半導体膜とすると共に前記絶縁領域の下方にチャンネル部が位置するように前記絶縁領域を形成することにより、チャンネル部側方のソース・ドレイン部の半導体の粒径サイズを、チャンネル部の半導体の粒径サイズよりも小さくすることもできる。

【0017】

【作用】本発明の薄膜トランジスタの製造方法では、まず、半導体膜中に半導体と反応して絶縁物を形成するイオン及び分子の少なくとも一方が選択的に導入される。これらのイオン及び分子は、上記レーザー照射もしくは低温加熱によりエネルギーが断続的に与えられることにより半導体と反応し、絶縁領域を形成する。従って、上記イオン及び分子の少なくとも一方を、上記のように絶縁領域を形成すべき領域に選択的に導入しておくことにより、絶縁領域を形成すべき領域に確実に絶縁体層を形

成することができる。

【0018】上記のように、本発明の方法では、半導体膜内において上記イオン及び分子の少なくとも一方が半導体と反応して絶縁体層が形成されるので、絶縁体層と半導体層との間の界面における異種原子の蓄積が抑制される。しかも、上記レーザー照射または低温加熱により絶縁体層の緻密化も同時に果たされる。

【0019】よって、上記接合界面における異種原子の蓄積の抑制並びに絶縁体層の緻密化の作用が相まって、接合界面における異種原子による横方向のリーク電流の発生及び絶縁物を通した縦方向のリーク電流の発生の双方が効果的に抑制される。

【0020】また、請求項1に記載の発明では、従来の薄膜トランジスタの製造方法において必要であった高温下における酸化膜形成工程を実施することなく絶縁領域を形成し得るため、薄膜トランジスタの製造工程の全工程の低温化及び高速化を果たすことができる。

【0021】さらに、請求項3に記載のように、最初に非晶質半導体膜を形成し、レーザー照射または低温加熱により再結晶化し、多結晶半導体領域と上記絶縁領域とを形成する方法では、チャンネル部に比べてソース・ドレイン部の粒径を小さくすることによりソース・ドレイン部の低抵抗化を図り得る。この理由を、以下に説明する。

【0022】未だ公知ではないが、本願出願人が提出した特願平5-51347号には、非晶質半導体に不純物イオンを注入した後、レーザーで再結晶化させることにより多結晶化させた場合、粒径の拡大と共にシート抵抗が低くなることが開示されている。これを、図2を参照して説明する。

【0023】絶縁基板11上に非晶質半導体膜を成膜し、フォトリソグラフによりアイランド状の非晶質半導体層12を形成する(図2(a))。次に、レジストからなるマスク13、13を形成する(図2(b))。しかる後、等方エッチング(矢印Aで示す)を行い、非晶質半導体層12の中央部分を薄肉化し、ソース・ドレイン部14、15と、チャンネル部16とを構成する(図2(c))。次に、マスク13、13を剥離し、図2

(d)で示すように矢印Bで示す方向にレーザー光を照射し、非晶質半導体を再結晶化させ、多結晶化する。この場合、図2(d)に示されているように、ソース・ドレイン部14、15では、厚みが厚いため、多結晶半導体の粒径が小さく、シート抵抗が低くされている。他方、チャンネル部16では、厚みが薄いので、多結晶半導体の粒径が大きく相対的に高抵抗状態とされている。

【0024】上記のように、非晶質半導体をレーザーもしくは低温加熱により再結晶化させる場合、非晶質半導体層の肉厚に応じて多結晶半導体の粒径を制御することができる。

【0025】従って、請求項3に記載のように、最初に

非晶質半導体膜を形成しておき、上記レーザー光の照射または600℃以下の低温加熱により多結晶化すると共に請求項1に記載の発明と同様に絶縁領域を形成した場合、絶縁領域の下方にチャンネル部が位置するように上記絶縁領域を形成すれば、絶縁領域の下方のチャンネル部における多結晶半導体の粒径を大きく、絶縁領域側方のソース・ドレイン部を構成している多結晶半導体領域の粒径を小さくすることができる。

【0026】よって、上記先願に開示されている技術を用いた請求項3に記載の発明によれば、絶縁領域の形成と、非晶質半導体の再結晶化と、上記粒径制御とを、同時にすることができ、さらにチャンネル部の粒径の低減により高移動度化及びオフ電流の低減も果たすことが可能となる。

【0027】加えて、上述した未だ公知ではない先願では、ゲート絶縁膜の形成と多結晶半導体の粒径制御とが独立に行われていたが、請求項3に記載の発明では上記のように同時にすることができるため、絶縁膜の緻密化のための低温アニール工程や粒径制御のための等方エッチング等の工程の削減も果たし得る。

【0028】

【実施例】以下、図面を参照しつつ実施例を説明することにより、本発明を明らかにする。

【0029】まず、図3(a)に示すように、絶縁基板31上に非晶質シリコン(以下、a-Si)を体積させ、パターニングすることによりa-Si層32を形成する。上記絶縁基板31としては、種々の絶縁性材料、例えば石英ガラスもしくは低融点ガラスまたはその他の透明絶縁性材料からなるもの、あるいは導電基板上に絶縁層を形成したもの等を用いることができる。

【0030】a-Si層32は、プラズマCVD、LPCVD、スパッタリング等の適宜の方法により成膜することができ、通常、約1500~2000Å程度の厚みに成膜される。なお、a-Si層32の成膜時に、膜中の水素の多いものについては、後工程においてレーザー照射する際の水素の突沸を避けるために、予め600℃以下の低温アニール等により膜中の水素を除去しておくことが望ましい。

【0031】次に、図3(b)に示すように、レジスト33を塗布し、フォトリソグラフにより窓34を開ける。この窓34の開けられたレジスト33をマスクとして、a-Siと反応して絶縁体を形成する物質として、酸素を注入する。酸素の注入は、破線の矢印Cで示すように酸素ガスを供給することにより行う。また、本実施例では、形成すべき絶縁領域は、図3(b)にハッチングを付して示す領域35であり、酸素の注入は、この領域35に対して選択的に行われる。

【0032】酸素注入後の深さ方向におけるSi原子と酸素原子の濃度を図5に示す。すなわち、図5(a)に模式的に示す点A(すなわち非晶質半導体層32の上

面)、点A'(形成すべき絶縁領域の下面内の位置)及び点A''(絶縁基板31の上面)を代表的な位置として、その深さ方向における濃度変化を図5(b)に示す。図5(b)において、実線Xは酸素原子濃度を、二点鎖線Yはシリコン原子の濃度を示す。なお、図5(b)の縦軸の濃度の数値は規格化した値である。

【0033】図5(b)から明らかなように、酸素の注入されている部分は、形成すべき絶縁領域の下面までの範囲とされている。また、図3(b)から明らかなように、窓34が形成されている部分以外については、レジスト33で覆われているため、結局、酸素が注入されている領域は、図3(b)の領域35となる。

【0034】本実施例では、上記領域35の厚みは、1000~1700Å程度とされており、領域35の下方の非晶質半導体層の厚みは約300~500Å程度とされる。また、図5(b)から明らかなように、基板に対して垂直方向において、素子の上方から下方に向かってシリコン原子と酸素原子との比がほぼ1:2に近い組成比のものが形成されていることがわかる。

【0035】なお、酸素原子濃度を上記のように点A'付近まで一定とするには、以下のようにして酸素を注入すればよい。通常、注入に必要なエネルギーを一定値とした場合、深さ方向におけるイオンの濃度分布は正規分布になると考えられる。このため、上記イオン注入にあたっては、注入に必要なエネルギーを変化させ、打ち込み深さを制御し、シリコンと酸素原子の比がストイキオメトリーに一致またはそれに近くなるように制御し、図5に複数の破線xiで示すようにイオン注入していけばよく、それによって、実線Xで示すように酸素濃度を制御することができる。

【0036】次に、レジスト33を剥離した後、図3(c)に矢印Dで示すようにレーザー光を照射する。このレーザー光の照射により、非晶質半導体層32が多結晶化され、多結晶半導体32Aが形成される。また、前述した領域35については酸素と半導体との反応により絶縁体化され、絶縁領域35Aが形成される。すなわち、a-Siの再結晶化と、絶縁領域35Aの形成が同時に行われる。

【0037】上記レーザーとしては、高エネルギー密度の短パルスレーザー(F₂、ArF、KrFまたはXeClエキシマレーザー)を用いることができ、短時間のうちに工程を終了させることができる。よって、絶縁領域35Aを形成するために導入した酸素の拡散を抑制しつつ、下地の絶縁基板31に対する熱的ダメージを軽減することができる。

【0038】さらに、a-Si層が極めて短時間で溶融・再結晶されるため、粒径制御を行うこともできる。すなわち、絶縁領域35Aの下方部分を、粒径の大きな半導体多結晶シリコンとすることができ、絶縁領域35Aの両側を、粒径の小さい多結晶半導体シリコンとすこ

とができる。半導体多結晶シリコンの粒径を上述のように制御することができるため、上記絶縁領域35Aの下方部分の半導体多結晶シリコンを相対的に低抵抗とすることができ、絶縁領域35Aの側方の多結晶シリコンについては粒径を小さくすることができるため、高抵抗化することができる。

【0039】次に、絶縁領域35A上にレジストを塗布し、フォトリソグラフィによりレジスト領域36を形成し、しかる後ガスを矢印Eで示す方向に供給し、ドライエッチングにより、多結晶半導体層32Aをエッチングし、多結晶半導体層32A内に、チャネル部32A₁及びソース・ドレイン部32A₂、32A₃を形成する(図4(a))。上記ソース・ドレイン部32A₂、32A₃を構成するためのエッチングに際しては、多結晶半導体層32Aを約500~1000Å程度の厚みだけエッチングすればよい。このドライエッチングに用いるガスとしては、CF₄、SF₆、CCl₂F₂等の絶縁領域35Aとの選択比の高いものを用いることが望ましい。

【0040】さらに、図4(b)に示すように、レジスト領域36を剥離した後、絶縁領域35A上にa-Si層37を形成し、P、AsもしくはSb等のV族元素を含む化合物、またはBを中心とするIII族元素を含む化合物を不純物イオンとして矢印Fで示すように注入し、n型もしくはp型の不純物イオン層を形成する。設けられたa-Si層37の厚みは、エッチングにより得られたソース・ドレイン部の厚みと同程度(1000~1500Å程度)である。

【0041】さらに、図4(c)に示すように、レーザー光を矢印Gで示すように照射し、活性化し、ソース・ドレイン部32A₂、32A₃及びゲート部37Aを完成させる。

【0042】上記のようにして、図4(c)に示した薄膜トランジスタ38が完成される。本実施例の製造方法では、上記の各工程から明らかなように、全工程が比較的低温で行われる。また、上記実施例ではレーザー光を照射することにより絶縁領域35Aを形成したが、レーザー光の照射に代えて、600℃以下の低温でアニールすることによって上記絶縁領域35Aの形成並びにa-Siの多結晶化を行ってもよい。いずれにしても、全工程を600℃以下の低温で行うことができる。

【0043】さらに、絶縁基板31上に最初に形成する半導体膜としては、上記a-Si層に代えて、多結晶半導体層であってもよく、その場合にもレーザー照射または低温アニールにより、上記と同様に絶縁領域が形成される。

【0044】

【発明の効果】以上のように、本発明では、半導体膜を構成している半導体と反応して絶縁物を形成するイオン及び分子の少なくとも一方が半導体膜中に選択的に導入

され、該イオン及び分子の少なくとも一方がレーザー照射もしくは600℃以下の低温加熱により絶縁体化されて絶縁領域が形成される。従って、半導体領域との間の界面が清浄でありかつ緻密な絶縁膜が形成され得る。その結果、上記界面における横方向のリーク電流や絶縁膜を通した縦方向のリーク電流の発生を効果的に低減することができる。

【0045】さらに、従来法では、絶縁膜の形成に際し高温の酸化处理が必要であったり、あるいは絶縁膜と半導体層とを独立の工程で成膜しなければならなかったのに対し、請求項1に記載の発明によれば、上記のように高温の絶縁膜形成工程を行わずともよく、全体を600℃以下の低温で行うことができるため、絶縁基板へのダメージを極力抑えることができる。しかも、半導体膜と絶縁膜との形成を共通の工程で行うことができるため、薄膜トランジスタのコストダウンを進めることが可能となる。

【0046】よって、請求項2に記載のように、絶縁領域の下方または側方の半導体領域がチャネル部となるように少なくとも1つの絶縁領域を形成することにより、リーク電流の発生が非常に少ない高品質の薄膜トランジスタを安価に提供することができる。

【0047】さらに、請求項3に記載のように非晶質半導体膜を用いる場合には、上記絶縁領域の形成と非晶質半導体の再結晶化をレーザー照射または600℃以下の低温加熱で同時に行うことができる。さらに、この場合には、絶縁領域と絶縁基板に挟まれた半導体領域の粒径制御も併せて行うことができるので、チャネル部に比べて低抵抗のソース・ドレイン部を容易に形成し得る。

【図面の簡単な説明】

【図1】(a)~(e)は、従来の薄膜トランジスタの製造方法を説明するための一連の工程を示す各断面図。

【図2】(a)~(d)は、未だ公知ではない再結晶化半導体の粒径制御法を説明するための各断面図。

【図3】(a)~(c)は、本発明の一実施例に従って絶縁領域の形成及び再結晶化半導体の粒径制御を行う各工程を示す断面図。

【図4】(a)~(c)は、図3に示した工程に続く薄膜トランジスタを形成するための各工程を示す断面図。

【図5】(a)及び(b)は、それぞれ、再結晶化された半導体及び絶縁領域の断面構造を示す断面図、並びに(a)に示した断面構造における深さ方向の酸素原子及びシリコン原子の濃度プロファイルを示す図。

【符号の説明】

31…絶縁基板

32…非晶質シリコン(a-Si)層

32A…多結晶シリコン層

32A₁…チャネル部

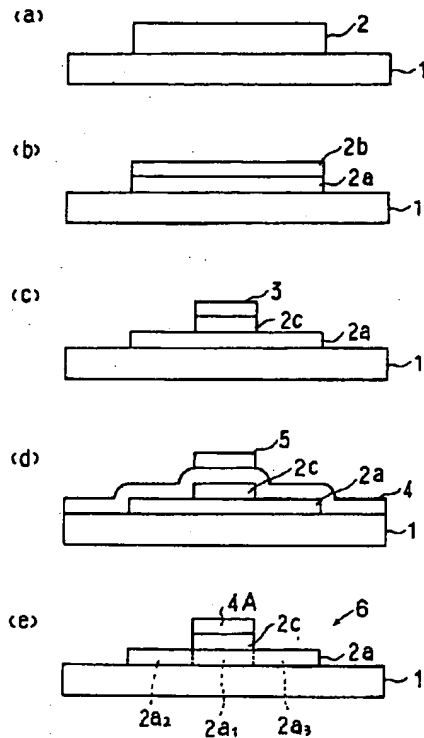
32A₂、32A₃…ソース・ドレイン部

35…酸素が注入された領域

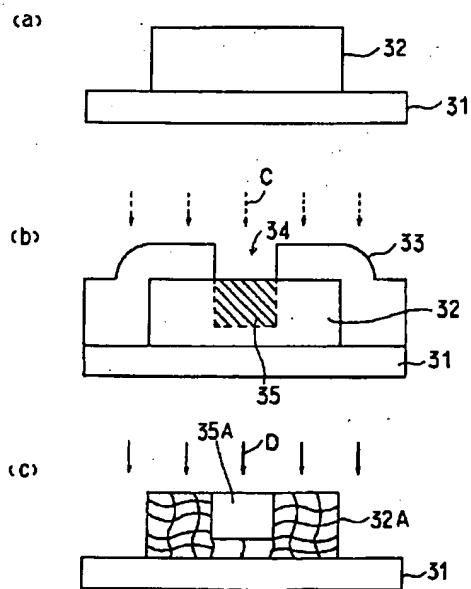
35A…絶縁領域
36A…ゲート絶縁膜

37A…ゲート部

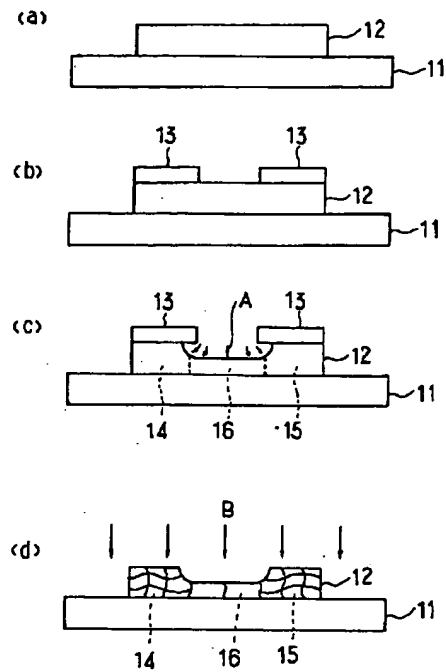
【図1】



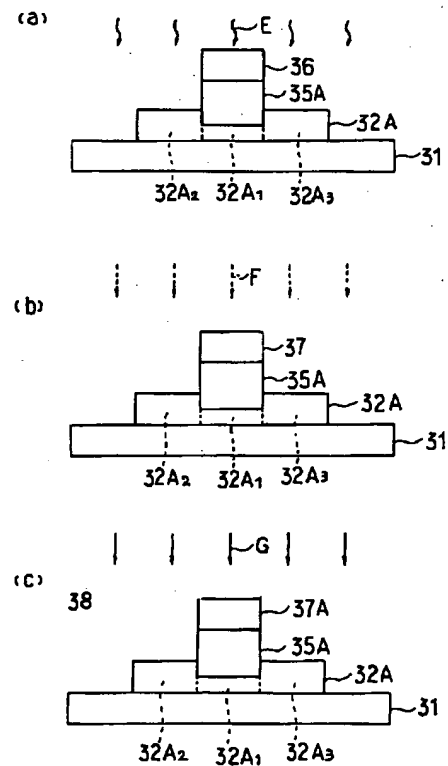
【図3】



【図2】



【図4】



【図5】

